

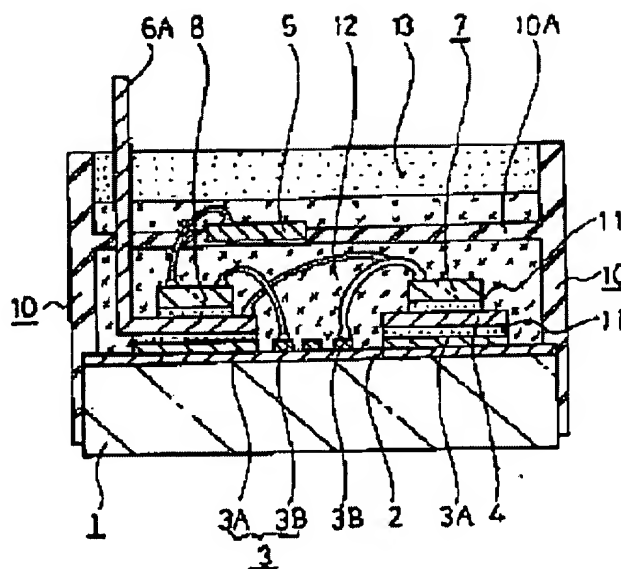
## HYBRID INTEGRATED CIRCUIT

**Patent number:** JP6283639  
**Publication date:** 1994-10-07  
**Inventor:** OTA SUSUMU; others: 02  
**Applicant:** SANYO ELECTRIC CO LTD  
**Classification:**  
 - **International:** H01L23/48; H01L25/07; H01L25/18  
 - **European:**  
**Application number:** JP19930066741 19930325  
**Priority number(s):**

### Abstract of JP6283639

**PURPOSE:** To shorten the lengths of wires as much as possible by mounting one copper plate to which a power element is firmly fixed on a substrate and arranging other copper plates upon the one copper plate in a separating state.

**CONSTITUTION:** After forming an inverter circuit on a metallic substrate 1 with an insulating layer 2 in between, a first power supply line, second power supply line, and output line for supplying current to a load are respectively formed of first, second, and third copper plates 4, 5, and 6A. A source- and sink-side switching elements 7 and 8 are firmly fixed onto the first and third copper plates 4 and 6A, respectively. An external lead terminal is formed by bending part of the copper plate 6A. The first and third copper plates 4 and 6A are firmly fixed onto the substrate 1 and the second copper plate 5 is positioned at a distance from the surface of the substrate 1. Therefore, the occurrence of current losses at the external lead terminal fixing section can be suppressed and, at the same time, the size of this power hybrid integrated circuit can be reduced.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-283639

(43) 公開日 平成6年(1994)10月7日

(51) Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H O I L 23/48  
25/07  
25/18

G

H O I L 25/04

C

審査請求 未請求 請求項の数 2

O L

(全5頁)

(21) 出願番号 特願平5-66741

(22) 出願日 平成5年(1993)3月25日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 太田 晋

大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

(72) 発明者 大川 克実

大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

(72) 発明者 坂本 則明

大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

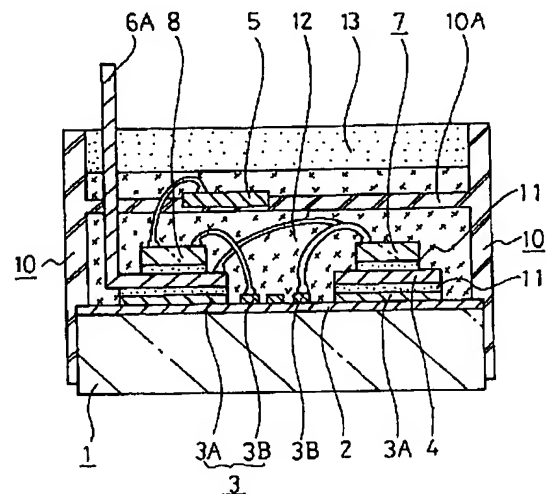
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 混成集積回路

(57) 【要約】

【目的】 外部リード端子の固着部分における電流損失を抑制し、且つパワー混成集積回路のサイズを小型化する。

【構成】 金属基板(1)上に絶縁層(2)を介してインバータ回路が形成され、インバータ回路を構成する第1電源ラインは第1の銅板(4)、第2電源ラインは第2の銅板(5)、負荷に接続され且つ電流を供給する出力ラインは第3の銅板(6)で形成され、第1の銅板(4)上にはソース側のスイッチング素子(7)が、第3の銅板(6)上にはシンク側のスイッチング素子(8)が固着され、少なくとも第3の銅板(6)の一部を折曲げて外部リード端子(6A)とし兼用した混成集積回路であって、第1および第3部の銅板(4)(6)を基板(1)上に固着、第2の銅板(5)を基板(1)表面と離間した位置に配置する。



## 【特許請求の範囲】

【請求項1】 金属基板上に絶縁層を介して固着された複数の一の銅板上にパワー半導体素子を固着し前記基板とケース材が一体化された混成集積回路において、前記一の銅板は前記基板上に直接固着され、前記一の銅板以外の他の銅板は前記ケース材に支持され且つ前記基板表面と離間すると共に前記一の銅板と重畳する位置に配置されたことを特徴とする混成集積回路。

【請求項2】 金属基板上に絶縁層を介してインバータ回路が形成され、前記インバータ回路を構成する第1電源ラインは第1の銅板、第2電源ラインは第2の銅板、負荷に接続され且つ電流を供給する出力ラインは第3の銅板で形成され、前記第1の銅板上にはソース側のスイッチング素子が、前記第3の銅板上にはシンク側のスイッチング素子が固着され、少なくとも前記第3の銅板の一部を折曲げて外部リード端子とし兼用した混成集積回路であって、前記第1および第3の銅板を前記基板上に固着し、前記第2の銅板を前記基板表面と離間した位置に配置したことを特徴とする混成集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、混成集積回路に関し、特にインバータ回路等のパワー回路を実装した大電流用の混成集積回路に関する。

## 【0002】

【従来の技術】従来、混成集積回路としては、セラミックス基板をベースにしたものが多く使用されてきたが、セラミックス基板上に形成される回路パターンは貴金属ペーストによって形成されるためにそのシート抵抗が大きいことおよびセラミックス基板の熱伝導性の悪いことから大電流タイプの混成集積回路としては不向きとなっており、近年の大電流タイプの混成集積回路は金属基板、例えばアルミニウム、銅ベースの基板上に絶縁樹脂層を介して形成された銅箔パターン上にパワー回路を構成する部品が実装されている。すなわち、パワー回路部品は銅等の金属片（ヒートシンク）上に実装されて基板上に実装され、外部回路と接続するための複数のパワー用の外部リード端子は基板上の所定位置に半田付けされる構造となっている。かかる、大電流用の混成集積回路としては特開昭63-302530号公報、特開昭64-25554号公報および特開昭64-5092号公報に記載されている。

## 【0003】

【発明が解決しようとする課題】従来構造の大電流用混成集積回路では上記したように外部回路と接続するための各リード端子が半田層を介して基板上に固着される構造であるため、以下の不具合がある。すなわち、  
①半田層自体の電気抵抗値が大きいために電流損失を起し発熱量が増加する。

【0004】②電流出力径路の導電路上に半田層を介し

て外部リード端子が固着される場合、半田層表面が酸化したとき経時変化に伴って半田層が劣化し、信頼性面で著しく低下するという問題があった。

③基板上に各リード端子を半田固着するための専用のランド（パッド）を形成しなければならず基板サイズを小型化する場合の弊害となり、大電流用の混成集積回路自体のサイズを小型化にすることができない。

【0005】また、基板上にインバータ回路を構成した場合には、スイッチング素子のエミッタあるいはソース電極と周辺の導体パターンを接続するワイヤ配線が長くなり、ワイヤ自体の抵抗およびインダクタンス成分が増加する。それにより、スイッチング素子のスイッチングノイズが増加し、スイッチング素子の誤動作を誘発するおそれがあった。

【0006】かかる不具合を解決するためには、スイッチング素子のスイッチングスピードを遅くすることで解決できるが、その反面スイッチング素子の応答性が低下するという新たな問題がある。本発明は上述した課題に鑑みてなされたものでこの発明の目的は、外部リード端子の固着部分における電流損失を抑制し、且つパワー用の混成集積回路のサイズを極めて小型化にし信頼性を向上させた混成集積回路を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上述した課題を解決し、目的を達成するため、この発明に係わる第1の混成集積回路は、金属基板上に絶縁層を介して固着された複数の一の銅板上にパワー半導体素子を固着し前記基板とケース材が一体化された混成集積回路の一の銅板は基板上に直接固着され、一の銅板以外の他の銅板はケース材に支持され且つ基板表面と離間すると共に一の銅板と重畳する位置に配置されたことを特徴としている。

【0008】また、この発明に係わる第2の混成集積回路は、金属基板上に絶縁層を介して回路が形成され、インバータ回路を構成する第1電源ラインは第1の銅板、第2電源ラインは第2の銅板、負荷に接続され且つ電流を供給する出力ラインは第3の銅板で形成され、第1の銅板上にはソース側のスイッチング素子が第3の銅板上にはシンク側のスイッチング素子が固着され、少なくとも前記第3の銅板の一部を折曲げて外部リード端子として兼用し、第1および第3の銅板を基板上に固着し、第2の銅板を基板表面と離間した位置に配置したことを特徴としている。

## 【0009】

【作用】以上のように構成される混成集積回路においては、パワー半導体素子が固着された一の銅板を基板上に直接実装し、パワー半導体素子が固着されない他の銅板を基板表面と離間させ且つ一の銅板と重畳する位置に配置することにより、一の銅板上に固着された半導体素子と他の銅板とを接続するワイヤ配線の長さを最短で接続することができる。

3

【0010】また、パワー半導体素子が固着された銅板の一部分を折曲げて外部リード端子として専用することにより、外部リード端子のみの半田固着を不要とすることができる。その結果、リード端子の半田層による電流損失を抑制することができる。また、リード端子を固着する専用のランド（パッド）を基板上に形成する必要がないことおよび銅板が中空に位置するために基板サイズを小型化にすることができる。

【0011】また、半田接続点数が減り、信頼性を向上させることができる。

【0012】

【実施例】以下図1～図3に示した実施例に基づいて本発明の混成集積回路を詳細に説明する。図1は本発明の混成集積回路の断面図、図2は本発明の混成集積回路の平面図である。

【0013】図1および図2に示す如く、本発明の混成集積回路は、金属基板（1）と、その基板（1）上に絶縁層（2）を介して形成された導電路（3）と、その導電路（3）の所定位置に固着された第1の銅板（4）、第2の銅板（5）および第3の銅板（6）と、第1および第3の銅板（4）（6）上に固着されたスイッチング素子（7）（8）と、ケース材（10）とから構成される。

【0014】金属基板（1）は、放熱特性および加工性を考慮して約2～5mm厚のアルミニウム基板あるいは銅基板が使用される。その金属基板（1）は所定サイズで矩形状に形成され、混成集積回路が完成する前あるいは後に所望サイズに分割プレスされる。アルミニウム基板を用いる場合には、そのアルミニウム基板の表面を薄膜の酸化アルミニウムで被覆してもよい。また、銅基板を用いる場合には、その銅基板の表面はニッケルあるいはクロムメッキが行われ表面保護が行われている。

【0015】金属基板（1）の一主面上には、エポキシあるいはポリイミド樹脂等の接着性を有する熱硬化性絶縁樹脂と約35～105 $\mu$ m厚の銅箔とのクラッド材が温度150～180℃、1平方センチメートル当たり50～100Kgの圧力でホットプレスされる。前記クラッド材を基板（1）上にホットプレスすることにより前記熱硬化性樹脂が絶縁層（2）となり、その絶縁層（2）上の銅箔をホトエッチング等して所望形状の導電路（3）が形成される。

【0016】金属基板（1）上に形成される導電路（3）は、図3に示したインバータ回路を構成するように、例えば図1および図2に示す如く、第1および第3の銅板（4）（6）を固着するための導電路（3A）と複数本の信号用の導電路（3B）が形成される。尚、本発明では外部リード端子を固着するための専用のランド（パッド）は形成されていない。導電路（3A）上にはスクリーン印刷により印刷した溶剤ペーストが付着されて半田層（9）が形成される。その半田層（9）上

4

に第1および第3の銅板（4）（6）が載置されて半田リフロー工程により溶剤ペーストを溶融し導電路（3A）と各銅板（4）（6）を固着接続する。

【0017】図3に示したインバータ回路の第1電源ライン（例えばV<sub>cc</sub>ライン）は第1の銅板（4）、第2電源ライン（例えばアースライン）は第2の銅板（5）および電流を供給する出力ラインは第3の銅板（6）により形成されている。第1～第3の銅板（4）（5）（6）は約50～300Aの大電流に対応できるように

10 する必要からその厚みは約1～5mm程度の肉厚を有している。

【0018】第1の銅板（4）上にはインバータ回路のソース側のスイッチング素子（7A）（7B）（7C）が半田層（11）によって固着されている。それらソース側のスイッチング素子（7A）（7B）（7C）は第1の電源ラインにより共通接続されるために本実施例では第1の銅板（4）を共通とし、スイッチング素子（7A）（7B）（7C）を固着したが、第1の銅板（4）を3つに分割し、分割された第1の銅板上にそれぞれのスイッチング素子を固着することも可能である。

【0019】金属基板（1）を銅基板とした場合には、第1の銅板（4）を共通使用し、アルミニウム基板とした場合には、第1の銅板（4）を共通使用するとアルミニウムと銅との熱膨張係数の差が大きいためにアルミニウム基板に反りが生じるおそれがあるために第1の銅板（4）を各スイッチング素子の数だけ分割するのが好ましい。

【0020】一方、第3の銅板（6）上には、インバータ回路のシンク側のスイッチング素子（8A）（8B）（8C）が半田層（11）を介して固着されている。第3の銅板（6）はシンク側のスイッチング素子（8A）（8B）（8C）の数に対応して個別に分割されている。第1および第3の銅板（4）（6）上に半田層（11）（11）を介して固着されたスイッチング素子（7A）～（7C）、（8A）～（8C）はパワートランジスタ、パワーMOSFET、あるいはIGBT等の大電流タイプの半導体スイッチング素子が用いられている。

【0021】本発明の特徴とするところは、スイッチング素子が固着される第1の銅板（4）および第3の銅板（6）を基板（1）上に直接固着し、スイッチング素子が固着されない第2の銅板（5）を基板（1）表面と離間した位置に配置することにある。すなわち、第2の銅板（5）は第2の銅板と接続される第3の銅板（6）と重畳するように離間配置される。具体的には第2の銅板（5）は後述するケース材（10）によって支持されており、基板（1）とケース材（10）とを一体化したときに第3の銅板（6）の一部分と重畳するように第2の銅板（5）が配置されることになる。第2の銅板（5）を離間配置する際、第2の銅板と第3の銅板（6）上のスイッチング素子がワイヤで接続されるために、第3の

50

5

銅板(6)上のスイッチング素子と完全に重畳しないように注意する必要がある。図面上では第2の銅板(5)と第3の銅板(6)との離間距離は比較的あるように見えるが、実際には約2~5mm程度の間隔で配置されるのである。

【0022】ところで、第3の銅板(6)の一部分は外部回路と接続するための外部リード端子(6A)として兼用されている。すなわち、第3の銅板(6)の一部分を上方向に略90°の角度で折曲げ加工し、折曲げ加工された先端部を外部リード端子(6A)として用い、ヒートシンクとなる銅板(6)と外部リード(6A)とを兼用させることができる。第3の銅板(6)の外部リード端子(6A)は後述するケース材の上面部よりも突出するように延在され、本実施例では上述したように略90°の角度で折曲げ加工されるが、外部回路との接続状態に応じてその角度は任意に調整することができる。

【0023】第3の銅板(6)の一部分を折曲げ加工しその先端部を外部リード端子(6A)として兼用することにより、外部リード端子専用の固着パッドを基板

(1)上に形成する必要がないため基板(1)のサイズを小型化にすることができる。また、外部リード端子専用の固着パッドが無くなるのに伴いリード端子を固着するための専用の半田層が無くなるために半田層による出力電流の損失を抑制することができ信頼性の向上に寄与することができる。

【0024】金属基板(1)上にスイッチング素子が固着された第1および第3の銅板(4)(6)を固着し、小信号用の導電路(3B)上に抵抗体等の回路素子を実装した後、基板(1)はケース材(10)と一体化される。ケース材(10)はファイバガラス・レインホースPET(FRPET)等の絶縁樹脂で射出成形により略棒状に形成される。ケース材(10)の射出成形時に第2の銅板(5)がインサート成形されるようになっており、具体的にはケース材(10)内に設けられた各バー(10A)によって第2の銅板(5)が固定支持される構造となっている。すなわち、インサート成形時に第2の銅板(5)は各バー(10A)に埋設するように形成されるため第2の銅板(5)は各バー(10A)によって固定されると共に支持されることになる。

【0025】ケース材(10)は基板(1)の周端辺と略一致するようにエポキシ系あるいはシリコン系の接着剤によって固着一体化される。金属基板(1)とケース材(10)を一体化した後、図3に示したインバータ回路に基づいてワイヤで各銅板およびスイッチング素子が接続される。具体的には、ソース側のスイッチング素子(7A)(7B)(7C)のベースあるいはゲート電極は小信号用の導電路(3B)とA1ワイヤで接続され、そのスイッチング素子(7A)(7B)(7C)のエミッタあるいはソース電極は第3の銅板(6)とA1ワイヤで接続されている。また、シンク側のスイッチング素子

6

(8A)(8B)(8C)のベースあるいはゲート電極は小信号用の導電路(3B)とA1ワイヤで接続され、そのスイッチング素子(8A)(8B)(8C)のエミッタあるいはソース電極は第3の銅板(6)上に重畳配置された第2の銅板(5)と接続される。

【0026】シンク側のスイッチング素子(7A)(7B)(7C)のエミッタあるいはソース電極と第2の銅板(5)をワイヤでボンディング接続する際、第2の銅板(5)とスイッチング素子(7A)(7B)(7C)との離間距離が約2~5mm程度であることおよび重畳配置されていることにより、ボンディング時のワイヤを最短の長さで配線できることになる。ボンディング時における応力も第2の銅板(5)はケース材(10)のバー(10A)によって固定支持されているために超音波ボンディング装置を用いても何んら支障はない。

【0027】各銅板(4)~(6)と各スイッチング素子(7A)~(7C)(8A)~(8C)をワイヤで相互接続した後、ケース材(10)内に囲まれた空間領域内にシリコンゲル(12)およびエポキシ樹脂(13)を順次充填しインバータ回路に必要な各部品および素子を保護する。本実施例ではインバータ回路の出力端子は上部方向に導出形成されているが、V<sub>cc</sub>ラインおよびアースラインの第1および第2の銅板(4)(5)は基板(1)の一周端辺に延在され折曲げ加工されネジ止め出来るように設計されている。

【0028】

【発明の効果】以上に詳述した如く、本発明に依れば、パワー半導体素子(スイッチング素子)が固着された一の銅板を基板上に直接実装し、パワー半導体素子が固着されない他の銅板を基板表面と離間させ且つ一の銅板と重畳する位置に配置することにより、一の銅板上に固着された半導体素子と他の銅板とを接続するワイヤ配線の長さを最短で接続することができる。その結果、ワイヤ配線の抵抗およびインダクタンス成分を最小限にすることができスイッチングノイズによるスイッチング素子の誤動作のない信頼性の優れた混成集積回路を提供することができる。

【0029】また、本発明に依れば、パワー半導体素子が固着された銅板の一部分を折曲げて外部リード端子として兼用することにより、外部リード端子のみの半田固着を不要とすることができる。その結果、リード端子の半田層による電流損失を抑制することができ、発熱量を低減できる。さらに、本発明に依れば、銅板の一部が中空に配置されるために極めて小型化のパワー用混成集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の混成集積回路の断面図である。

【図2】本発明の混成集積回路の平面図である。

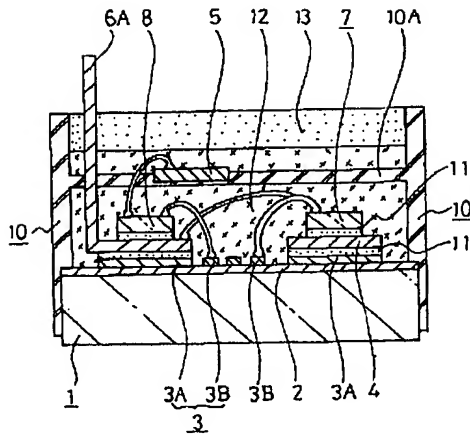
【図3】インバータ回路図である。

【符号の説明】

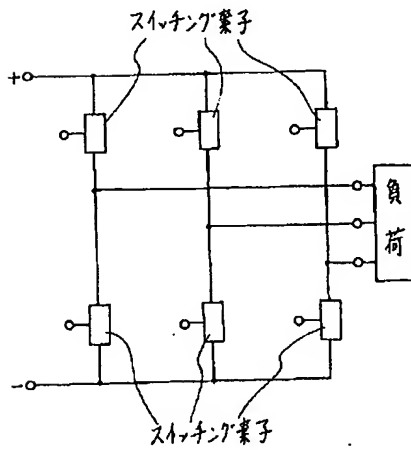
50

- 7
- (1) 金属基板  
(2) 絶縁層  
(3) 導電路  
(4) 第1の銅板  
(5) 第2の銅板

【図1】



【図3】



- 8
- (6) 第3の銅板  
(7) (8) スイッチング素子  
(9) (11) 半田層  
(10) ケース材  
(10A) バー

【図2】

